

УДК.621.382: 681.586.776

О. О. Дрючин, к. т. н., доц.; В. О. Кондратюк

ЦИФРОВИЙ ПРИЙМАЧ НА ОСНОВІ ПЛІС

Подано теоретичні та експериментальні дослідження цифрового приймача на основі сигнального процесора DSP, показано можливість побудови приймачів із цифровою обробкою, запропоновано використати один із класів сигнальних процесорів та розроблено алгоритм роботи приймача.

Ключові слова: цифровий приймач, сигнальний процесор DSP, арифметико-логічний пристрій, фільтрація, цифровий сигнал.

Вступ із постановкою завдання

Новий перспективний напрямок розвитку мікроелектронної цифрової і аналого-цифрової елементної бази і виникнення нових компонентів дозволяють розробляти високоякісні приймачі на основі цифрових принципів обробки радіосигналу [1].

Цифрова обробка сигналу в приймальних системах може бути застосована з тієї області радіотракту, де частота сигналу зменшується настільки, щоб можна було без втрат дискретизувати сигнал за допомогою АЦП і потім обробити цей сигнал цифровим сигнальним процесором або спеціалізованим процесором [2].

Метою цієї статті є побудова цифрового приймача на основі сигнального процесора DSP.

Аналіз обраного методу

На рис. 1 показано структурну схему цифрового приймача, в якому використано сучасні технічні рішення в галузі цифрової обробки сигналу на ПЧ.

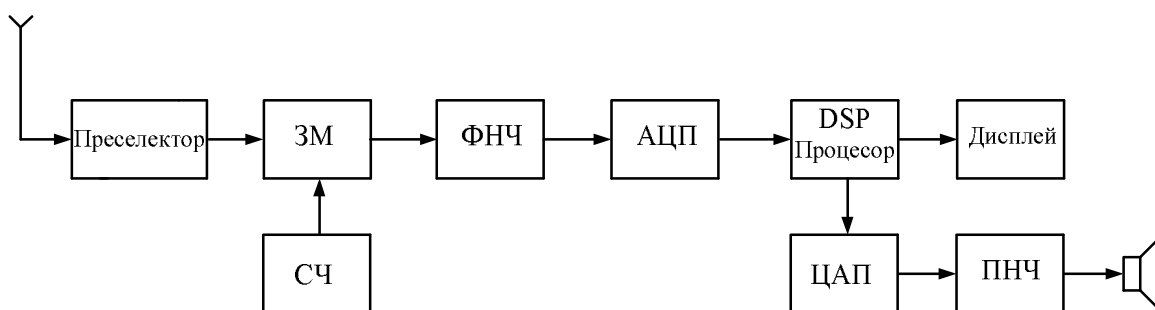


Рис. 1. Структурна схема цифрового приймача

АЦП перетворює аналоговий сигнал, що надходить з виходу широкосмугового ПЧ в цифровий потік відліків, і подальша обробка виконується цифровими методами.

Основні елементи цифрової частини приймача зосереджені в модулі цифрового приймача. Цей модуль виробляє каналну фільтрацію і демодуляцію сигналу. Модуль може обробляти один або кілька каналів прийому. Основні компоненти модуля – високочастотний АЦП, цифровий квадратурний понижувальний перетворювач DDC і сигнальний процесор [3].

З виходу модуля інформаційний потік демодульованих даних від одного або декількох каналів прийому надходить в обчислювальний блок для подальшої обробки. У цей же блок надходять дані і від інших аналогічних приймальних модулів, які підключені до виходу ПЧ аналогових приймальних трактів інших діапазонів.

Спосіб реалізації сигнального процесора DSP та алгоритм роботи

Сигнальні процесори DSP дозволяють проводити високу обробку сигналів найслабшого рівня. У поєднанні із застосуванням автоматичної фільтрації відбувається покращення співвідношення сигнал/шум – і якість сигналу підвищується.

Для того, щоб реалізувати цифровий приймач на основі цифрового сигнального процесора оберемо мікропроцесор серії TMS320C2x. На цьому процесорі можна реалізувати приймач з високими характеристиками. В основу процесора буде покладено функції керування та обробки радіосигналів, а саме: висока фільтрація та детектування.

Підставою вибору цього сигнального процесора є те, що він виконаний за гарвардською архітектурою, яка ґрунтується на розподілі шин доступу до вбудованої пам'яті програм і даних. Це дозволяє зробити вибірку команди і даних в одному машинному циклі і забезпечує виконання більшості команд за один цикл. У своєму складі він містить велику кількість вбудованих фільтрів і набір детекторів, що дозволяє виконувати приймачі високого рівня.

Структуру типового сигнального процесора з фіксованою комою TMS320C2x наведено на рис. 2.

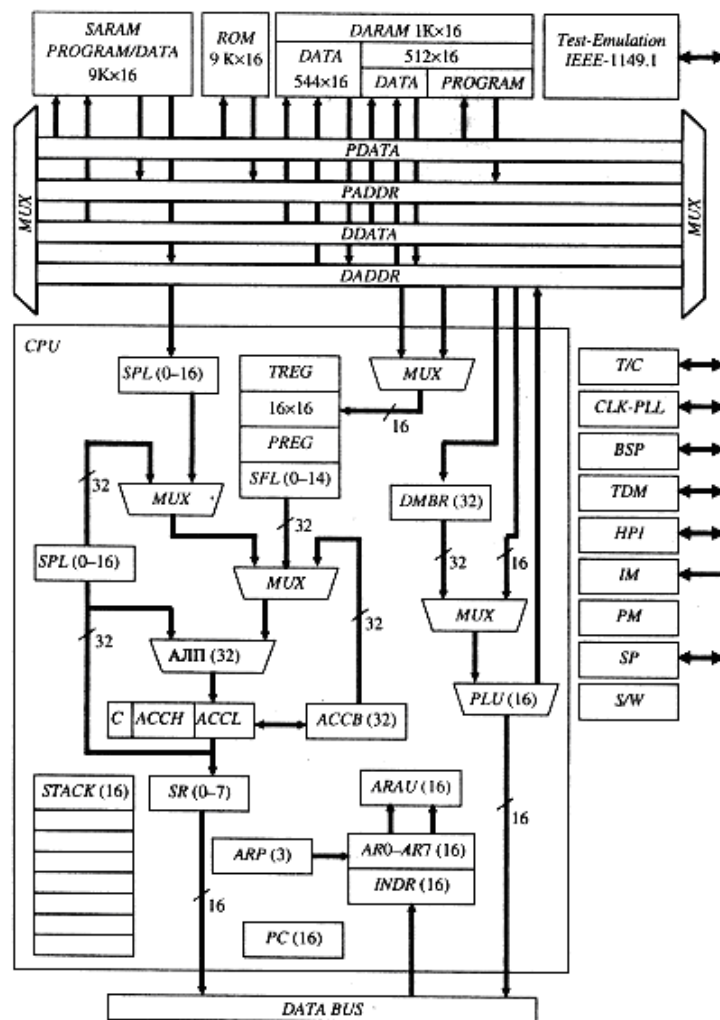


Рис. 2. Типова архітектура цифрового сигнального процесора

Сигнальний процесор TMS320C2x складається з центрального процесорного пристрою (CPU), вбудованої пам'яті програм і кількох периферійних пристроїв, що здебільшого дозволяє уникнути використання додаткової зовнішньої апаратури [4].

Центральний процесорний пристрій CPU. До його складу входять:

- 32-розрядний АЛП, який виконує більшість команд за один цикл;
- акумулятор АСС, розділений на два сегменти по 16 розрядів (АССН і АССЛ);
- акумуляторний буфер АССВ;
- арифметичний пристрій допоміжних регістрів АРА U;
- регістровий файл АR0-AR7 і регістр ІNDR;
- незалежний логічний блок PLU;
- апаратний помножувач 16x16;
- показчик команд РС;
- мультиплексори MUX.

Арифметико-логічний пристрій (АЛП). На перший вхід АЛП надходять дані одного з таких пристроїв: регістра масштабування і зсуву SPL; регістра зсуву SFL на виході регістра помножувача PREG та акумуляторного буфера АССВ.

На другий вхід АЛП дані завжди надходять з акумулятора АСС, а результат виконання операцій надходить також в АСС. Регістр зсуву SR, з'єднаний з виходом АСС, виконує зсув ліворуч на 0 – 7 розрядів, що відбувається в циклі пересилання даних з АЛП на внутрішню шину даних.

Апаратний помножувач 16x16. Виконує операції над числами зі знаком і без знака. Операнди надходять з пам'яті даних. Один з операндів може бути константою, поданою безпосередньо в команді. Для тимчасового збереження одного з операндів використовують 16-розрядний регістр TREG. У 32-розрядний регістр PREG завантажується результат множення.

Логічний блок PLU виконує операції незалежно від АЛП, результат операцій у PLU не впливає на біти стану АЛП. Перший операнд надходить у PLU з пам'яті даних, другий – з пам'яті чи програм регістра маніпуляції бітами (DBMR). Спеціальні логічні команди, виконувані тільки PLU, дозволяють у 16-розрядному слові встановлювати та очищувати будь-яку кількість біт у довільній комбінації. Результат операцій у PLU зберігається в тій самій комірці пам'яті, звідки було обрано перший операнд. Отже, логічні операції можна виконувати безпосередньо зі змістом будь-якої комірки пам'яті даних, зокрема, зі змістом перших 16 портів введення-виведення, що можуть адресуватися як пам'ять даних (адреси 50H-5FH).

Для того, щоб приймач нормально працював, спочатку необхідно правильно налаштувати його компоненти. Як тільки вони будуть налаштовані, то приймач повинен реагувати на зміни рівня сигналу та елементів керування.

Алгоритм роботи цифрового приймача, реалізованого на сигнальному процесорі, наведено на рис. 3.

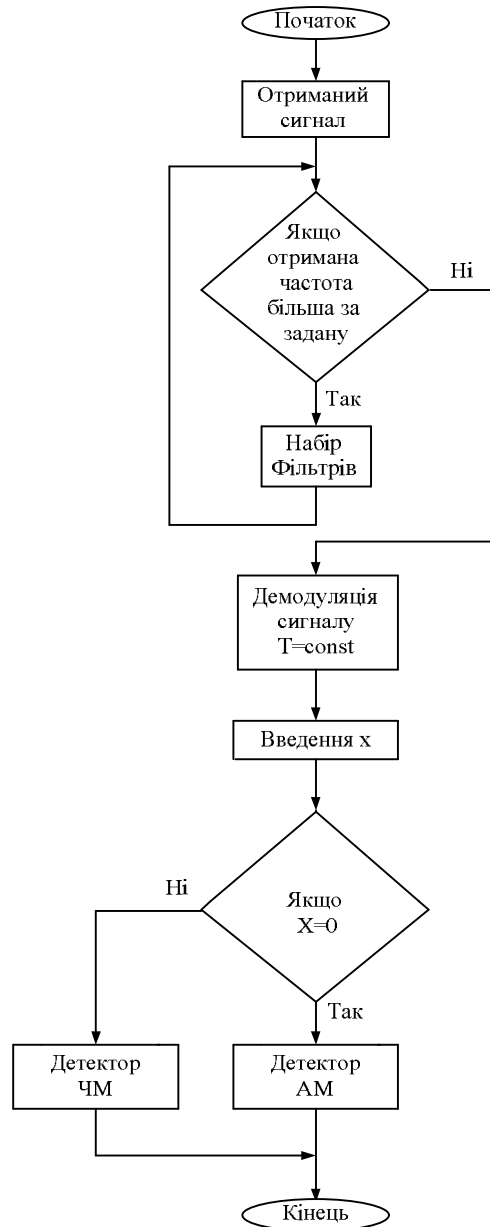


Рис. 3. Алгоритм роботи цифрового приймача

Результати моделювання

Під час проведення експериментальних досліджень було використано програму DSPhilrus для цифрової фільтрації. У лівій частині вікна цієї програми розташовано 22 кнопки готових фільтрів. Щоб вивчити АЧХ і характеристики кожного з цих фільтрів, достатньо натиснути кнопку потрібного фільтра і потім кнопку "Хар" – у вікні ми побачимо збільшену АЧХ і докладні характеристики обраного фільтра.

Смугові фільтри застосовують для прийому SSB-сигналів в умовах, коли інший SSB-сигнал розташований точно на частоті корисного. Переваги ґрунтується на тому, що енергія SSB-сигналу не розподілена рівномірно, а, залежно від особливостей конкретного голосу, сконцентрована у відносно нешироких ділянках спектру. За вдалого підбору параметрів смугового фільтра (збігу його максимумів АЧХ з областями, в яких зосереджена велика частина енергії корисного SSB-сигналу) можна покращити співвідношення сигнал/шум.

На рис. 4 показано слабкий SSB-сигнал в шумах при вимкненому DSPhilrus.

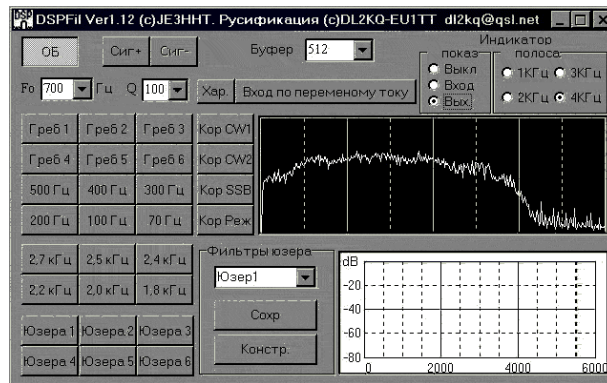


Рис. 4. Слабкий SSB-сигнал в шумах при вимкненому DSPfilrus

Підключимо смуговий фільтр 2,2 kHz і отримаємо такий результат.
На рис. 5 зображено SSB-сигнал при підключенні смугового фільтра 2,2 kHz.



Рис. 5. SSB-сигнал при підключенні смугового фільтра 2,2 kHz

На рис. 6 зображено SSB-сигнал при підключенні фільтра "Юзер 4".

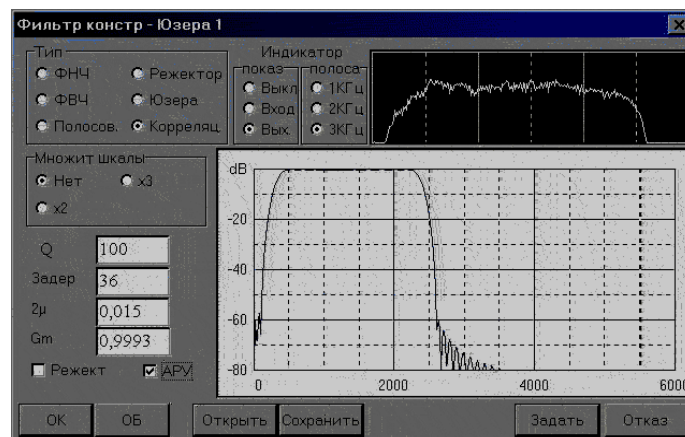


Рис. 6. SSB-сигнал при підключенні фільтра "Юзер 4"

Вікно внизу ліворуч показує АЧХ, увімкненого в цей момент фільтра. АЧХ, проєктованого нами фільтра, з'явиться там тільки після натискання "ОК". У вікні "Тип" ми задамо тип проєктованого фільтра.

Висновки

Синтезовано цифровий приймач на основі цифрового сигнального процесора, який забезпечує високі характеристики пристрою. Запропоновано реалізацію сигнального процесора DSP та алгоритм його роботи. Проведено експериментальні дослідження, завдяки чому отримано якісно відфільтрований SSB-сигнал. Отримані результати актуальні для практичних застосувань під час проектування нових радіоприймальних пристроїв і модернізації тих, що існують.

СПИСОК ЛІТЕРАТУРИ

1. Сергиенко А. Б. Цифровая обработка сигналов. / А. Б. Сергиенко. – П.: Наука, 2002. – 605 с.
2. Гольденберг Л. М. Цифровая обработка сигналов: Учеб. пособие для вузов/ Л. М. Гольденберг, Б. Д. Матюшин, М. Н. Поляк. – 2-изд., перераб. и доп. – М.: Радио и связь, 1990. – 256 с.
3. Ревич Ю. В. Практическое программирование микроконтроллеров Atmel AVR на языке ассемблера / Ю. В. Ревич. – СПб.: БВХ-Петербург, 2008. – 384 с.
4. Сперанский В. С. Сигнальные микропроцессоры и их применение в системах телекоммуникаций и электроники / В. С. Сперанский. – П.: Телеком, 2008. – 171 с.

Дрючин Олександр Олексійович – к. т. н., доцент кафедри телекомунікаційних систем та телебачення.

Кондратюк Віталій Олександрович – магістр кафедри телекомунікаційних систем та телебачення.

Вінницький національний технічний університет.