

УДК 681.325

Р. Д. Баран

ОЦІНКА ТЕХНОЛОГІЧНОЇ ДОЦІЛЬНОСТІ ФУНКЦІОНАЛЬНИХ ПЕРЕТВОРЮВАЧІВ ІЗ ЗМІННОЮ РОЗРЯДНІСТЮ ДЛЯ ВИМІРЮВАЛЬНИХ СИСТЕМ РЕАЛЬНОГО ЧАСУ З ОБМЕЖЕНИМИ РЕСУРСАМИ

Стаття присвячена порівняльному аналізу двох підходів до функціонального перетворення сигналів у сенсорних системах Інтернету речей: традиційної архітектури «АЦП + мікропроцесор» та число-імпульсних функціональних перетворювачів із змінною розрядністю (ЧІФП із ЗР). Число-імпульсні функціональні перетворювачі із змінною розрядністю широко використовуються для опрацювання число-імпульсних кодів (ЧІК) в процесі їх надходження. Вони забезпечують розширення динамічного діапазону по вхідному ЧІК теоретично у будь-яких заданих межах. Технологічна доцільність використання таких перетворювачів у вимірювальній техніці, порівняно з іншими типами ЧІФП, може визначатись показниками, що характеризують кількість елементів різних типів, необхідних для їх реалізації, залежно від основних метрологічних характеристик.

Для об'єктивного порівняння додатково введено формалізовані показники обчислювальної та структурної складності, а також інтегральний критерій технологічної доцільності. На прикладах таких функціональних перетворювачів, як обернено-пропорційного, логарифмічного та кореня квадратного продемонстровано переваги ЧІФП із ЗР. Вони забезпечують у 1,5 – 3 рази вищу технологічну доцільність порівняно з табличними (LUT/ПЗП) реалізаціями при незмінних метрологічних вимогах.

Результати FPGA-синтезу підтверджують переваги ЧІФП із ЗР за апаратними витратами та швидкодією для edge-вузлів з обмеженими ресурсами. Показано, що зростання структурної складності для ЧІФП із ЗР при розширенні динамічного діапазону є близьким до лінійного, тоді як для табличних рішень – експоненціальним. Отримані результати підтверджують доцільність використання ЧІФП із ЗР, як альтернативи традиційним АЦП-орієнтованим архітектурам у вимірювальних системах реального часу, зокрема в автономних сенсорних вузлах та edge-модулях IoT з обмеженими ресурсами.

Ключові слова: число-імпульсні функціональні перетворювачі, змінна розрядність, аналого-цифрові перетворювачі, Інтернет речей, обчислювальна складність, технологічна доцільність, FPGA, системи реального часу.

Вступ

Сучасні сенсорні мережі та системи Інтернету речей (IoT) потребують високої точності вимірювань, забезпечення жорстких обмежень на енергоспоживання, затримку обробки та апаратні витрати. Одним із ключових трендів є перенесення обчислювальних функцій безпосередньо до периферії мережі – на рівень сенсорних вузлів (edge computing), де класична конфігурація «високоточний АЦП – універсальний мікроконтролер» часто виявляється надмірною [1], [2], [10]. За даними досліджень, до 2030 року понад 74 % даних IoT оброблятимуться безпосередньо на периферії мережі, а не в хмарних центрах, що висуває нові вимоги до енергоефективності та швидкодії обчислювальних компонентів [1], [2].

У багатьох типах давачів (частотні, імпульсні, інкрементальні енкодери) вихідний сигнал природно має частотно- або число-імпульсне представлення. Це відкриває можливість переходу від традиційного підходу «аналог → АЦП → цифрова обробка» до схем, де вимірювання та функціональне перетворення виконуються безпосередньо в число-імпульсному коді (ЧІК) [6], [11].

Число-імпульсні функціональні перетворювачі (ЧІФП) дозволяють реалізувати елементарні математичні функції (обернено-пропорційні, логарифмічні, кореневі тощо) безпосередньо над потоком імпульсів, об'єднуючи вимірювання й обчислення в одному

пристрої. Подальший розвиток цього напрямку пов'язаний із ЧФП із змінною розрядністю (ЧФП із ЗР), які забезпечують розширений динамічний діапазон та адаптацію до інтенсивності вхідного ЧК[11]. Основним завданням цієї роботи є проведення кількісного метрологічно обґрунтованого порівняння ЧФП із ЗР з традиційними підходами, що базуються на АЦП і табличних перетвореннях, у контексті їх застосування в системах реального часу.

Метою роботи є кількісне обґрунтування переваг число-імпульсних функціональних перетворювачів із змінною розрядністю над традиційними АЦП-орієнтованими та табличними підходами для реалізації функціональних перетворень у системах реального часу. Для цього необхідно: сформулювати узагальнені показники обчислювальної та структурної складності для різних архітектур перетворювачів; ввести інтегральний критерій технологічної доцільності, що поєднує метрологічні та технологічні параметри; провести порівняння на конкретних прикладах ЧФП із ЗР для реалізації обернено-пропорційної, логарифмічної та кореневої функцій порівняно з табличними реалізаціями аналогічних функцій.

Недоліки сучасних підходів

1) Архітектура «АЦП – мікроконтролер»

Для високоточної обробки сигналів із широким динамічним діапазоном, наприклад 16 – 24 біт, зазвичай використовуються прецизійні АЦП, які при високих частотах дискретизації характеризуються значним енергоспоживанням. Сучасні дослідження показують, що для IoT-пристроїв із живленням від батареї енергоспоживання АЦП може становити до 40 % загального запасу енергії системи [3], [4], [5]. Крім того, виконання функціональних перетворень (лінеаризація, масштабування, \log , $\sqrt{\quad}$, $1/x$) на універсальних процесорах призводить до збільшення латентності та потребує більшої площі кристалу, що є критичним для автономних вузлів.

Послідовний характер виконання інструкцій у класичних мікроконтролерах і DSP зумовлює суттєву затримку між моментом надходження відліку з АЦП та готовністю результату функціонального перетворення, що ускладнює використання таких рішень у задачах жорсткого реального часу з вимогами латентності менше 5 мс [3], [7], [14].

2) Табличні та LUT-рішення

Табличні методи реалізації функцій (LUT, ПЗП) широко використовуються як у мікроконтролерах, так і в ПЛІС завдяки їх простоті та передбачуваній швидкодії. Однак для підвищення точності та розширення діапазону аргументу обсяг пам'яті зростає експоненційно [8], [9], [10]. При реалізації функцій на широких діапазонах, наприклад $N_{\text{вх}} \in [2^8, 2^{16})$, обсяг ПЗП та логіка інтерполяції стають основним споживачем ресурсів FPGA, що веде до збільшення площі, енергоспоживання та часу доступу.

Дослідження показують, що для 16-бітної точності табличні рішення потребують обсягу пам'яті порядку $2^{16} \cdot 16 \approx 128\text{КБ}$, тоді як ЧФП із ЗР можуть забезпечити аналогічну точність при структурній складності, еквівалентній менше ніж 1 КБ логічних елементів.

3) Обмеження класичних ЧФП

Класичні ЧФП з фіксованою розрядністю та імпульсним зворотним зв'язком мають власні недоліки: у схемах з додатним зворотним зв'язком (ДЗЗ) – обмежена швидкодія через появу кількох імпульсів у колі зворотного зв'язку на один вхідний імпульс; у схемах з від'ємним зворотним зв'язком (ВЗЗ) – звужений динамічний діапазон, особливо при спробах підвищення точності за рахунок збільшення розрядності. Ці обмеження стали передумовою переходу до ЧФП із змінною розрядністю, які покликані забезпечити одночасно високу точність, швидкодію та широкий діапазон перетворення.

Розширений огляд оцінювання технологічної доцільності функціональних перетворювачів

Число-імпульсний код описує числове значення через кількість імпульсів за певний

інтервал часу або через поєднання частоти й тривалості імпульсів. ЧФП працюють безпосередньо з цим кодом, виконуючи арифметичні та функціональні операції над імпульсними послідовностями. Сучасні дослідження показують, що імпульсно-частотне кодування забезпечує природну стійкість до завад та може бути ефективно реалізоване в edge-пристроях з низькою потужністю [4], [6].

Використання модифікованої системи рівнянь Шеннона та принцип змінної розрядності дозволяють будувати компактніші та точніші структури ЧФП [11 – 13].

Переваги ЧФП із ЗР у сенсорних вузлах та edge-модулях IoT:

- можливість відмови від прецизійного АЦП;
- скорочення тракту «вимірювання + обробка»;
- пряма сумісність з імпульсними виходами сенсорів;
- підвищена завадостійкість завдяки природі ЧК.

ЧФП із ЗР організовані як композиція піддіапазонів, кожен з яких обробляється структурою з власною розрядністю. При цьому для малих значень аргументу використовується менша розрядність за умови допустимої похибки, а для ділянок із великим градієнтом функції розрядність збільшується. Перемикання піддіапазонів забезпечується спеціальними блоками, зокрема перетворювачами кодів. Це дозволяє розширити динамічний діапазон і уникнути надмірного зростання апаратної складності. Приклад структурної схеми ЧФП із ЗР для реалізації обернено-пропорційної функції наведено на рис. 1.

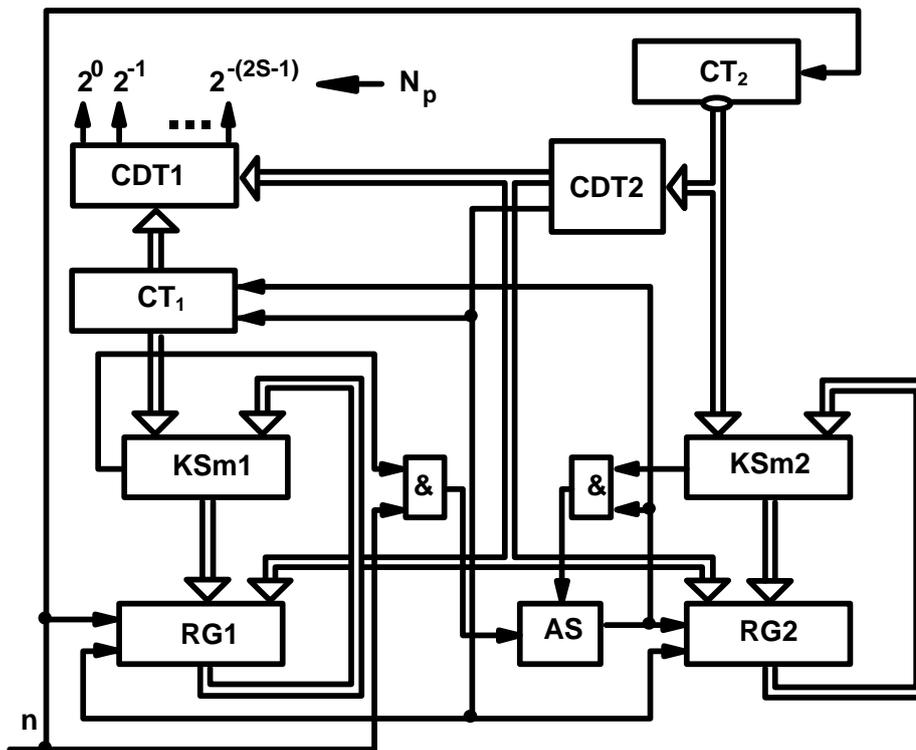


Рис. 1. Структурна схема обернено пропорційного перетворювача
Для об'єктивного порівняння архітектури введено три основні показники.

1) Обчислювальна складність:

$$C_{comp} = w_+ N_+ + w_- N_- + w_x N_x + w_{\div} N_{\div} + w_{cmp} N_{cmp}, \quad (1)$$

де N_+ , N_- , N_x , N_{\div} , N_{cmp} – кількість відповідних операцій (додавання, віднімання, множення, ділення, порівняння), а $w(\cdot)$ – нормовані вагові коефіцієнти, що відображають відносну апаратну і часову складність кожної операції.

2) Структурна складність:

$$C_{str} = \alpha \sum_i E_i + \beta \sum_i p_i, \quad (2)$$

де E_i – еквівалентна кількість логічних елементів (або LUT/FF у FPGA) для i -го компонента, p_i – кількість його виводів, α, β – вагові коефіцієнти.

3) Інтегральний критерій технологічної доцільності:

$$K_{tech} = (Q_{acc} Q_{sp}) / (\gamma_1 C_{comp} + \gamma_2 C_{str}), \quad (2)$$

де Q_{acc} – нормований показник точності (наприклад, обернений до максимальної відносної похибки), Q_{sp} – нормований показник швидкодії, γ_1, γ_2 – коефіцієнти узгодження.

Таким чином, більш технологічно доцільна структура має більший K_{tech} за однакових метрологічних вимог. Цей підхід узгоджується з сучасними методиками оцінювання ефективності edge-пристроїв, де критичними є як точність, так і ресурсоспоживання.

Оцінка технологічної доцільності функціональних перетворювачів з допомогою інтегрального критерію технологічної доцільності

У роботі розглянуто такі пари реалізацій:

– обернено-пропорційна функція $y \sim 1/x$: ЧІФП із ЗР на FPGA та таблична LUT-реалізація на FPGA;

– логарифмічна функція $y = \ln x$: ЧІФП із ЗР на FPGA та таблична LUT-реалізація на FPGA;

– квадратний корінь $y = \sqrt{x}$: ЧІФП із ЗР на FPGA та таблична LUT-реалізація на FPGA.

Класичні АЦП-архітектури в аналізі виступають як опосередкований еталон, оскільки функціональні перетворення в них зазвичай реалізуються табличними або алгоритмічними методами.

Обернено-пропорційний ЧІФП із ЗР (Рис. 1) реалізує функцію $y = 1/x$ у числово-імпульсній формі на діапазоні $N_{вх} \in [2^8, 2^{16}]$. Структура містить цифровий інтегратор, лічильники, компаратори та блок керування розрядністю, який забезпечує розбиття діапазону на піддіапазони з різною розрядністю [11].

Для цього перетворювача отримано:

$$C_{comp} \approx 4,3 \cdot 10^4; C_{str} \approx 980.$$

Для табличної реалізації тієї самої функції на аналогічному діапазоні:

$$C_{comp} \approx 1,0 \cdot 10^5; C_{str} \approx 6420.$$

Це відповідає:

$$K_{tech_{чіфп}} \approx 2,25 \cdot 10^{-5}; K_{tech_{пзп}} \approx 9,4 \cdot 10^{-6}.$$

Аналогічним чином отримано значення показників для логарифмічного та кореневого ЧІФП із ЗР і зведено у таблицю 1.

Таблиця 1

Порівняльні характеристики ЧІФП із ЗР та табличних реалізацій

Тип / реалізація	C_{comp}	C_{str}	K_{tech}
Обернено-пропорційний, ЧІФП із ЗР	43 000	980	$2,25 \cdot 10^{-5}$
Обернено-пропорційний, (ПЗП)	100 000	6 420	$9,4 \cdot 10^{-6}$
Логарифмічний, ЧІФП із ЗР	54 000	1 280	$1,8 \cdot 10^{-5}$
Логарифмічний, табличний (ПЗП)	135 000	8 520	$6,9 \cdot 10^{-6}$
Корінь квадратний, ЧІФП із ЗР (FPGA)	22 000	780	$4,4 \cdot 10^{-5}$
Корінь квадратний, табличний (ПЗП, FPGA)	65 000	2 620	$1,47 \cdot 10^{-5}$

Отримані результати свідчать, що для всіх розглянутих функцій реалізації на основі ЧІФП із ЗР демонструють істотно меншу обчислювальну та структурну складність порівняно з табличними рішеннями при однакових вимогах до точності та швидкодії. Це безпосередньо відображається у зростанні K_{tech} у 1,5 – 3 рази.

Зростання C_{str} для ЧФП із ЗР із розширенням діапазону є майже лінійним, тоді як для табличних реалізацій – експоненціальним. Це робить табличні рішення малоприсадибними для високодинамічних сенсорних систем із обмеженими ресурсами.

Результати FPGA-синтезу показують, що для кореневого ЧФП із ЗР достатньо близько 400 LUT, 300 тригерів та 80 зовнішніх виводів (менше 1 % ресурсів Xilinx Artix-7) при часі перетворення близько 0,04 мкс для 8-бітного діапазону[12].

Висновки

Проведений аналіз показав, що ЧФП із змінною розрядністю є технологічно доцільною та метрологічно обґрунтованою альтернативою традиційним АЦП-орієнтованим і табличним реалізаціям функціональних перетворювачів у системах реального часу.

Запропонований підхід на основі C_{comp} , C_{str} та K_{tech} дозволяє об'єктивно порівнювати різні архітектури та обирати оптимальні рішення для вимірювальної техніки за умов обмежених ресурсів.

На прикладах обернено-пропорційного, логарифмічного та кореневого перетворювачів показано 1,5 – 3-кратне підвищення K_{tech} порівняно з табличними реалізаціями. Результати FPGA-синтезу підтверджують практичну реалізованість запропонованих структур.

Отримані результати можуть бути використані при проектуванні енергоефективних сенсорних вузлів, edge-модулів IoT та для подальшої розробки адаптивних ЧФП з динамічним налаштуванням розрядності.

СПИСОК ЛІТЕРАТУРИ

1. Huang J., Chen L., Wang X. Real-time monitoring and optimization methods for user-side energy management based on edge computing. *Scientific Reports*. 2025. Vol. 15, №1. P. 21987. DOI: 10.1038/s41598-025-07592-4.
2. Kong X., Huang J., Zhang Y. Edge-computing-driven Internet of Things: A survey. *ACM Computing Surveys*. 2022. Vol. 55, № 8. Article 174. DOI: 10.1145/3555308.
3. Design of low power energy efficient sigma-delta ADC for biomedical IoT applications / B. P. Sharma et al. *Scientific Reports*. 2025. Vol. 15, №1. P. 36165. DOI: 10.1038/s41598-025-19272-4.
4. The Design of a Low-Power Pipelined ADC for IoT Applications / T. Sun et al. *Sensors*. 2025. Vol. 25, №5. P. 1343. DOI: 10.3390/s25051343.
5. Khoshkam Z., Abrishamifar A. A very low-power discrete-time delta-sigma modulator for wireless body area network. *Microelectronics Journal*. 2023. Vol. 129. P. 105678. DOI: 10.1016/j.mejo.2022.105678.
6. A Low-Power Impedance-to-Frequency Converter for Frequency-Multiplexed Wearable Sensors / W. Li et al. *IEEE Transactions on Biomedical Circuits and Systems*. 2024. Vol. 18, №4. P. 885–895. DOI: 10.1109/TBCAS.2024.3362329.
7. Memristor-based adaptive analog-to-digital conversion for efficient and accurate compute-in-memory / H. Hong et al. *Nature Communications*. 2025. Vol. 16, №1. P. 5712. DOI: 10.1038/s41467-025-65233-w.
8. Kumar R., Kumar S., Joshi A. M. FPGA implementation of real-time signal processing algorithms for wireless communication systems. *ICTACT Journal on Microelectronics*. 2023. Vol. 10, №1. P. 1732–1736.
9. FPGA implementation of a real-time digital pulse processing analysis for radiation detectors / S. Pipiras et al. *Nuclear Instruments and Methods in Physics Research Section A*. 2022. Vol. 1033. P. 166674. DOI: 10.1016/j.nima.2021.166674.
10. Edge real-time tracking and FPGA-based hardware implementation for infrared tiny object / Y. Li et al. *Digital Signal Processing*. 2025. Vol. 145. P. 105412. DOI: 10.1016/j.dsp.2025.105412.
11. Дудикевич В. Б., Максимович В. М., Мороз Л. В. Число-імпульсні функціональні перетворювачі з імпульсними зворотними зв'язками. Львів: Видавництво Львівської політехніки, 2011. 244 с.
12. Баран Р. Д., Дудикевич В. Б. Апаратна реалізація ЧФП із змінною розрядністю та оцінка швидкодії. *Вісник Вінницького політехнічного інституту*. 2024. № 3. С. 96–101. DOI: 10.31649/1997-9266-2024-174-3-96-101.
13. Wrzuszczak M., Khoma V., Baran R. Przetwornik funkcyjny impulsowo-kodowy o wybieralnej rozdzielczości i charakterystyce opisanej funkcją pierwiastka kwadratowego. *Pomiary Automatyka Robotyka*. 2015. Vol. 19, №4. P. 21–25. DOI: 10.14313/PAR_218/21.
14. Баран Р. Д. Синтез адаптивних число-імпульсних функціональних перетворювачів із змінною розрядністю. *Вісник Хмельницького національного університету. Серія: Технічні науки*. 2025. Т. 349, № 2. С. 505–510. DOI: 10.31891/2307-5732-2025-349-74.
15. Bhanushali S. P., Sanyal A. Enhancing performance of SAR ADC through supervised machine learning. *Proceedings of the 2024 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2024. P. 1–5. DOI: 10.1109/ISCAS58744.2024.10558198.

Стаття надійшла до редакції 27.02.2026.
Стаття пройшла рецензування 04.03.2026.

Баран Роман Дмитрович – старший викладач кафедри «Автоматизовані системи управління»,
e-mail: roman.d.baran@lpnu.ua, номер ORCID: <https://orcid.org/0009-0006-4041-3530>.
Національний університет «Львівська політехніка».